

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

009983032 **Image available**

WPI Acc No: 1994-250743/199431

Related WPI Acc No: 2000-295182

XRAM Acc No: C94-114031

Process for fabricating a semiconductor for use in TFTS - comprises forming an insulator coating on a substrate, exposing the insulator, forming an amorphous silicon film, etc.

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY KENKYUSHO KK (SEME)

Inventor: TAKAYAMA T; YAMAZAKI S; ZHANG H; TAKEMURA Y

Number of Countries: 009 Number of Patents: 013

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 609867	A2	19940810	EP 94101571	A	19940202	199431	B
JP 6232059	A	19940819	JP 9339499	A	19930203	199438	
EP 609867	A3	19950111				199538	
CN 1095859	A	19941130	CN 94102771	A	19940203	199547	
TW 266315	A	19951221	TW 94100774	A	19940131	199610	
US 5843225	A	19981201	US 94189658	A	19940201	199904	
			US 95479720	A	19950607		
JP 2000188404	A	20000704	JP 9339499	A	19930203	200037	
			JP 200026875	A	19930203		
KR 168693	B1	19990201	KR 942195	A	19940203	200039	
CN 1255732	A	20000607	CN 94102771	A	19940203	200046	
			CN 99121082	A	19940203		
CN 1255742	A	20000607	CN 94102771	A	19940203	200046	
			CN 99121081	A	19940203		
JP 2000269135	A	20000929	JP 200026875	A	19930203	200055	N
			JP 200061226	A	19930203		
KR 267145	B1	20001016	KR 942195	A	19940203	200134	
			KR 9822657	A	19980617		
KR 2001008453	A	20010205	KR 9822657	A	19980617	200152	N
			KR 992854	A	19990129		

Priority Applications (No Type Date): JP 9339499 A 19930203; JP 200026875 A 19930203; JP 200061226 A 19930203; KR 992854 A 19990129

Cited Patents: No-SR.Pub; 3.Jnl.Ref; EP 421605; JP 3257818; JP 4062976; US 5147826; WO 9201089

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

EP 609867	A2	E 22	H01L-021/20	
-----------	----	------	-------------	--

Designated States (Regional): DE FR GB NL

JP 6232059	A	9	H01L-021/205	
------------	---	---	--------------	--

CN 1095859	A		H01L-021/00	
------------	---	--	-------------	--

TW 266315	A		H01L-021/335	
-----------	---	--	--------------	--

US 5843225	A		C30B-001/10	CIP of application US 94189658
------------	---	--	-------------	--------------------------------

JP 2000188404	A	9	H01L-029/786	Div ex application JP 9339499
---------------	---	---	--------------	-------------------------------

KR 168693	B1		H01L-021/205	
-----------	----	--	--------------	--

CN 1255732	A	H01L-021/00	Div ex application CN 94102771
CN 1255742	A	H01L-021/336	Div ex application CN 94102771
JP 2000269135	A	10 H01L-021/20	Div ex application JP 200026875
KR 267145	B1	H01L-021/205	Div ex application KR 942195
KR 2001008453	A	H01L-021/205	Div ex application KR 9822657

Abstract (Basic): EP 609867 A

A process for fabricating a semiconductor (I) comprises: (a) forming an insulator coating on a substrate (21); (b) exposing the insulator to a plasma; (c) forming an amorphous Si film (22) on the insulator after step (b); and (d) crystallising the Si film by photo annealing and/or treating in the temp. range 400-650 deg. C.

Also claimed is a process (II) where steps (a), (c) and (d) are as in (I) but step (b) involves selectively coating the insulator with a masking material, followed by exposure of the substrate to a plasma, and with an additional step (e) of selectively etching the Si film.

Also claimed is a process (III) as in (II) with the additional step of establishing a channel forming region of the thin film transistor on the portion previously coated with the masking material.

Also claimed is a process (IV) comprising: (a) forming an amorphous Si film on a substrate; (b) forming, in intimate contact with the upper or the lower surface of the Si film, a substance comprising an element which accelerates the crystallisation of amorphous Si by exerting a catalytic effect; and (c) crystallising the Si film by photo annealing and/or heating at a temp. of 400 deg. C or higher, but not higher than the glass transition temp. of the substrate.

Also claimed is a process (V) comprising: (a) forming an insulator coating on a substrate; (b) forming a layer comprising an element selected from Ni, Fe, Co and Pt on the insulator; (c) forming a Si film in contact with the layer in (b) before or after step (b); and (d) crystallising the Si film by photo annealing and/or heating.

Further claimed is a process (VI) comprising: (a) forming a liquid layer comprising an element from Ni, Fe, Co and Pt on a substrate by spin coating; (b) forming a Si film on the substrate; and (c) crystallising the Si film with the element incorporated into the film by photo annealing or heating.

The substrate is heated in the temp. range 100-500 deg. C. The substrate is not exposed to air between steps (b) and (c). Step (b) is carried out in a space provided therein an electrode made of a material contg. at least one element from Ni, Fe, Co and Pt. The Si film is irradiated with a laser beam or an intense light beam equivalent to a laser beam after the heat treating step.

The plasma comprises 10% by vol. or more of at least one from N₂, O₂, Ne Kr and Ar, and one from H₂ or He as a dilution gas. The layer formed in (IV) is selected from atom, island, cluster and film.

USE/ADVANTAGE - Used in thin film devices such as thin-film insulated-gate field-effect transistors (TFTs). The process utilises a lower crystallisation temp. over a shorter time-scale. Dwg.2/10

Title Terms: PROCESS; FABRICATE; SEMICONDUCTOR; COMPRISE; FORMING; INSULATE ; COATING; SUBSTRATE; EXPOSE; INSULATE; FORMING; AMORPHOUS;

SILICON; FILM

Derwent Class: L03

**International Patent Class (Main): C30B-001/10; H01L-021/00; H01L-021/20;
H01L-021/205; H01L-021/335; H01L-021/336; H01L-029/786**

**International Patent Class (Additional): C30B-035/00; H01L-021/203;
H01L-021/324; H01L-029/784**

File Segment: CPI

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-232059

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

H 0 1 L 21/205

21/336

29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数7 F D (全 9 頁)

(21)出願番号

特願平5-39499

(22)出願日

平成5年(1993)2月3日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

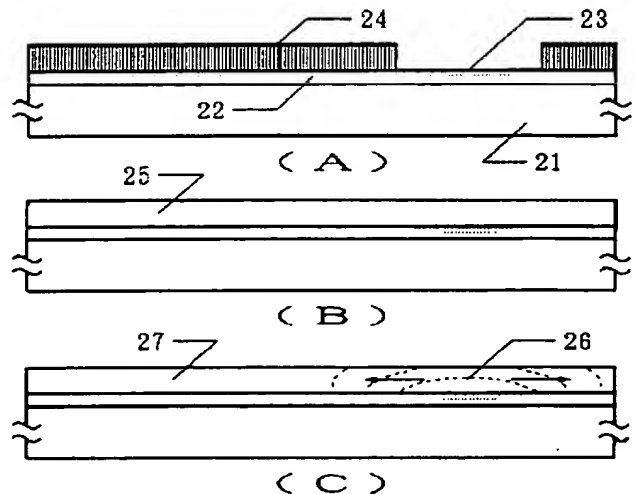
最終頁に続く

(54)【発明の名称】 半導体および半導体装置の作製方法

(57)【要約】 (修正有)

【目的】 アモルファスシリコンの結晶化温度を下げ、結晶化時間を短縮する方法、および該方法を用いて薄膜トランジスタを作製する方法を提供する。

【構成】 下地絶縁膜 (例えば、酸化珪素膜22) を堆積した後、プラズマ雰囲気中にさらすことによってプラズマ処理をおこない、その後、アモルファスシリコン膜25を堆積し、450～600℃で結晶化させる。また、選択的にプラズマ雰囲気中にさらすことによって、結晶核の生じる部分を制御し、よって良好な結晶性を有する部分26を任意に形成し、これを薄膜トランジスタに用いる。



【特許請求の範囲】

【請求項 1】 基板に絶縁被膜を形成する工程と、前記絶縁被膜をプラズマにさらす工程と、前記工程後、前記絶縁被膜上にアモルファス状態のシリコン膜を形成する工程と、前記シリコン膜を 400℃～600℃で処理する工程を有することを特徴とする半導体の作製方法。

【請求項 2】 請求項 1 において、プラズマにさらす工程においては、基板は 100～500℃に加熱されていることを特徴とする半導体の作製方法。

【請求項 3】 請求項 1 において、用いられるプラズマは空素、酸素、ネオン、クリプトンもしくはアルゴンの少なくとも一つを 10 体積%以上含有していることを特徴とする半導体の作製方法。

【請求項 4】 請求項 1 において、基板上の絶縁被膜をプラズマにさらす工程と、絶縁被膜上にアモルファス状態のシリコン膜を形成する工程との間は、基板を大気さらすことなくおこなわれることを特徴とする半導体の作製方法。

【請求項 5】 請求項 1 において、基板上の絶縁被膜をプラズマにさらす工程は、ニッケル、鉄、コバルト、白金の少なくとも 1 つの元素を含む材料によって構成された電極を有する空間でおこなわれることを特徴とする半導体の作製方法。

【請求項 6】 基板上に絶縁被膜を形成する工程と、前記絶縁被膜をマスク材によって選択的に被覆する工程と、基板をプラズマにさらす工程と、前記工程後、前記絶縁被膜上にアモルファス状態のシリコン膜を形成する工程と、前記シリコン膜を選択的にエッチングする工程とを有することを特徴とする半導体の作製方法。

【請求項 7】 薄膜トランジスタを作製する工程において、基板上に絶縁被膜を形成する工程と、前記絶縁被膜をマスク材によって選択的に被覆する工程と、基板をプラズマにさらす工程と、前記工程後、前記絶縁被膜上にアモルファス状態のシリコン膜を形成する工程と、前記シリコン膜を 400℃～600℃で処理する工程と、前記シリコン膜を選択的にエッチングする工程と、先にマスク材で被覆された部分を薄膜トランジスタのチャネル形成領域とする工程とを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜状の絶縁ゲート型電界効果トランジスタ（薄膜トランジスタもしくは TFT）等の薄膜デバイスに用いられる結晶性半導体を得る方法に関するものである。

【0002】

【従来の技術】 従来、薄膜状の絶縁ゲート型電界効果トランジスタ（TFT）等の薄膜デバイスに用いられる結晶性シリコン半導体薄膜は、プラズマ CVD 法や熱 C V

D 法で形成されたアモルファスシリコン膜を電気炉等の装置の中で 600℃以上の温度で 12 時間以上の長時間にわたって結晶化させて作製された。特に十分な特性（高い電解効果移動度や高い信頼性）を得るためにはより長時間の熱処理が求められていた。

【0003】

【発明が解決しようとする課題】 しかしながら、このような従来の方法は多くの課題を抱えていた。1 つはスループットが低く、したがって、コストが高くなることである。例えば、この結晶化工程に 24 時間の時間を要するものとする、基板 1 枚当たりの処理時間を 2 分とすれば 720 枚の基板を同時に処理しなければならなかった。しかしながら、例えば、通常使用される管状炉では、1 度に処理できる基板の枚数は 50 枚がせいぜいで、1 つの装置（反応管）だけを使用した場合には 1 枚当たり 30 分も時間がかかってしまった。すなわち、1 枚当たりの処理時間を 2 分とするには、反応管を 15 本も使用しなければならなかった。このことは投資規模が拡大することと、その投資の減価償却が大きく、製品のコストに跳ね返ることを意味していた。

【0004】 もう 1 つの問題は、熱処理の温度であった。通常、TFT の作製に用いられる基板は石英ガラスのような純粋な酸化珪素からなるものと、コーニング社 7059 番（以下、コーニング 7059 という）のような無アルカリのホウ珪酸ガラスに大別される。このうち、前者は、耐熱性が優れており、通常の半導体集積回路のウェファープロセスと同じ取扱いができるため、温度に関しては何ら問題がない。しかしながら、そのコストが高く、基板面積の増加と共に指数関数的に急激に増大する。したがって、現在のところ、比較的小面積の TFT 集積回路にのみ使用されている。

【0005】 一方、無アルカリガラスは、石英に比べればコストは十分に低い、耐熱性の点で問題があり、一般に歪み点が 550～650℃程度、特に入手しやすい材料では 600℃以下であるので、600℃の熱処理では基板に不可逆的な収縮やソリという問題が生じた。特に基板が対角 10 インチを越えるような大きなものでは顕著であった。以上のような理由から、シリコン半導体膜の結晶化に関しては、550℃以下、4 時間以内という熱処理条件がコスト削減に不可欠とされていた。本発明はこのような条件をクリアする半導体の作製方法および、そのような半導体を用いた半導体装置の作製方法を提供することを目的とする。

【0006】

【発明を解決するための手段】 本発明は、基板に絶縁被膜を形成する工程と、前記絶縁被膜をプラズマにさらす工程と、前記工程後、前記絶縁被膜上にアモルファス状態のシリコン膜を形成する工程と、前記シリコン膜を 400℃～600℃で処理する工程を有することを特徴とする。また、本発明は 基板上に絶縁被膜を形成する工

3

程と、前記絶縁被膜をマスク材によって選択的に被覆する工程と、基板をプラズマにさらす工程と、前記工程後、前記絶縁被膜上にアモルファス状態のシリコン膜を形成する工程と、前記シリコン膜を400℃～600℃で処理する工程と、前記シリコン膜を選択的にエッチングする工程とを有する。

【0007】さらに、本発明は、薄膜トランジスタを製作する工程において、基板上に絶縁被膜を形成する工程と、前記絶縁被膜をマスク材によって選択的に被覆する工程と、基板をプラズマにさらす工程と、前記工程後、前記絶縁被膜上にアモルファス状態のシリコン膜を形成する工程と、前記シリコン膜を400℃～600℃で処理する工程と、前記シリコン膜を選択的にエッチングする工程と、先にマスク材で被覆された部分を薄膜トランジスタのチャンネル形成領域とする工程とを有することを特徴とする。

【0008】本発明人は鋭意研究を重ねた上、上記課題を解決する方法を見出した。本発明人は、基板上に、基板からの不純物が半導体層に侵入するのを防止するための下地の絶縁層を形成した後、一度、プラズマ中にこの絶縁層をさらし、その後にアモルファスシリコンを堆積し、熱結晶化することによって、その後に堆積したシリコン半導体膜が著しく結晶化しやすくなることを発見した。

【0009】これは以下のように説明される。従来、600℃程度の熱結晶化にかように長時間が要されたのは、1つには結晶核の発生に時間がかかるためであった。この時間のことを、本発明人は潜伏時間と呼ぶ。本発明人の観察では、24時間の結晶化工程のうち、最初の6時間には全く核が形成されず、したがって、ほとんどアモルファスの状態である。次の6時間の間に核が自然に発生し、その後に結晶化が始まる。すなわち、従来の方法では、6～12時間の潜伏時間を要していた。しかしながら、このようにして発生した核は極めて無秩序で、核の密度は場所によってさまざまであった。したがって、極めて結晶化が進行している領域があるかと思えば、全く結晶化が見られない領域もあった。さらに、時間を重ねると、この結晶化が見られなかった領域にも核が発生し、あるいは、結晶化した領域が拡がって、次第に基板全面が結晶化するようになる。このようにして、基板全面が結晶化するには、さらに12時間以上の時間が必要であった。

【0010】プラズマで下地の絶縁膜を処理すると結晶核を発生させる触媒というべき物質が形成される。結晶核を発生させる触媒とは、例えば、プラズマのダメージによって生じた電荷や欠陥、あるいはチャンバーや基板を構成する材料の被着物等である。具体的には、ニッケル、鉄、コバルト、白金という触媒作用を有する材料が特に顕著に効果を有することが明らかになった。このような触媒によって、結晶核の発生が容易となり、潜伏時

4

間が短縮される。また、この触媒物質の量が多いと、結晶核が多数発生する。このことは、例えば、プラズマの処理時間を長くすると、得られる結晶の粒径が微細になり、結晶核の密度が高いことから推測される。

【0011】さらに、注目すべきは結晶核の発生密度が極めて均等であることである。このことは、本発明によって結晶化させたシリコン膜の表面を軽くエッチングして観察することによっても知ることができる。プラズマ処理後にアモルファスシリコン膜を堆積し、550℃で4時間の熱処理をおこなった試料を、フッ硝酸によって、少しエッチングして、光学顕微鏡、電子顕微鏡等で表面を観察すると、クレーターのようないくつかの穴がほぼ等間隔で出来ていることがわかる。この穴は、エッチングされやすい材料が存在していた箇所と考えられ、すなわち、シリコン膜中の結晶核の密度を示すものである。したがって、結晶核を発生させる触媒もこの穴と同じ密度（濃度）で分布していたものと推測される。

【0012】プラズマ処理は、特に平行平板型のプラズマ発生装置においておこなうと良好な結果が得られる。また、平行平板型以外にも、例えば陽光柱放電を利用するチャンパーにおいても、基板に適当なバイアスを印加することによって良好な結果が得られる。いずれの場合にも、プラズマ発生のための電極にニッケル、鉄、コバルトを用いていると良好な結果が得られた。さらに、プラズマ処理の際には基板を100～500℃に加熱すると結晶化が容易であった。具体的には200℃以上に加熱することが好ましい。これは上記の触媒物質が高温で得られやすいからである。

【0013】なお、プラズマを発生させる雰囲気としては、窒素、酸素、アルゴン、ネオン、クリプトンを含む雰囲気中で、これらの割合が10体積%以上であった場合には特に好ましい結果が得られ、これらのガスを希釈して用いる場合には水素もしくはヘリウムで希釈することが好ましかった。また、特に良好な結果が得られたシリコン膜は真性、または実質的に真性で、公知の2次イオン質量分析(SIMS)法によって、異元素を分析したところ、炭素、酸素、窒素の濃度はいずれも $1 \times 10^{19} \text{ cm}^{-3}$ 以下であった。

【0014】本発明は下地絶縁膜の表面をプラズマ処理するのであるが、一度、プラズマ処理した基板を大気にさらすとゴミや水分等が付着し、これがシリコン膜の結晶性に悪影響を与える。すなわち基板内のばらつきが大きくなる。このような問題を避けるためには、閉ざされた系の中で成膜やプラズマ処理をおこない、少なくともプラズマ処理された基板を大気にさらすことなく連続的にアモルファスシリコン膜の成膜がおこなえるような環境とすることが必要である。さらには、プラズマ処理する前には基板または絶縁被膜の表面を十分に清浄な状態にすることが好ましく、例えば、紫外線照射やオゾン処理、もしくは紫外線照射とオゾン処理を組み合わせるこ

とによって、表面に存在する炭素や有機物等を除去することが好ましい。

【0015】

【実施例】

【実施例1】 本実施例は、コーニング7059ガラス基板上の平面状のアモルファスシリコン膜を結晶化させる方法について記述する。まず、基板上にRFスパッタ法によって、厚さ2000Åの下地酸化珪素膜を堆積した。そして、この酸化珪素膜を窒素プラズマ中で処理した。プラズマ処理装置は平行平板型の装置で、その概要を図1に示す。なお、電極にはニッケル合金を用いた。

チャンバー・・・11、ガス導入系・・・12、排気系・・・13

RF電源・・・14、電極・・・15、16、基板・・・17

RFプラズマ・・・18

【0016】プラズマ処理の条件は以下の通りである。

RFパワー 20Wもしくは60W

反応ガス 窒素（流量は100SCCM）

反応時間 5分

基板温度 200℃

反応圧力 10Pa（到達真空度は 10^{-3} Pa以下）

【0017】その後、プラズマCVD法によって厚さ1500Åのアモルファスシリコン膜を形成した。そして、430℃で1時間、水素出しをおこなった後、500～580℃で、10分～8時間の固相成長をおこなった。

【0018】なお、例えば、図5に示すような2つ以上のチャンバーを有する装置において、上記の工程を連続的におこなってもよい。特に上記の方法では、下地酸化珪素膜をプラズマ処理した後、一度、大気にさらしてからアモルファスシリコンの成膜をおこなう。本発明は表面の状態に敏感なものであるので、大気にさらされている際に、ゴミなどが基板に付着すると得られる結晶性シリコン膜の特性にばらつきを生じさせる原因となる。

【0019】図5の装置について簡単に説明すると、チャンバー501はスパッタ装置であり、2つの電極（サンプルホルダー）502と503（バックングプレート）にRF電源504より電力を供給してプラズマを発生させる。それぞれの電極の上には、試料の基板506とターゲット505が置かれてあり、この場合、ターゲットは酸化珪素である。このチャンバーには、酸素/アルゴンの混合ガスを導入するガス系507と窒素ガスを導入するガス系508が設けられ、酸化珪素の成膜中には前者より、また、プラズマ処理中には後者よりガスが供給される。509は排気系である。

【0020】チャンバー521は平行平板型プラズマCVD装置であり、2つの電極522と523にRF電源

524より電力を供給してプラズマを発生させる。電極522の上には、試料の基板525が置かれてある。このチャンバーには、シラン/水素の混合ガスを導入するガス系526が設けられ、プラズマ反応によって生成した被膜が基板525上に形成される。図には示されていないが、これらのチャンバーにおいては基板が適当な温度にまで加熱される機構となっている。この2つのプラズマチャンバーの間には、予備室510が設けられ、その中には基板511が置かれている。

10 【0021】図5の装置では、チャンバー501で酸化珪素のスパッタ成膜を終了した後、チャンバー内の雰囲気窒素を窒素にして、引き続き窒素プラズマ処理とする。このときには酸化珪素のターゲットが存在していると、スパッタリングによってさらに酸化珪素膜が堆積することとなる。この問題を避けるためには、RFパワーを低くするか、酸化珪素ターゲットがプラズマに触れないようにすればよい。幸いなことに、スパッタリングに必要なRFパワーは100W以上であるのに対し、後で述べるが、プラズマ処理に最適なパワーは60W以下、好ましくは20Wであるので、窒素プラズマ処理中に酸化珪素の堆積が生じることはほとんどなかった。しかし、より安全を期すためには、酸化珪素成膜用のチャンバーとプラズマ処理用のチャンバーとアモルファスシリコン用のチャンバーをそれぞれ独立に設けることである。このようにして成膜したアモルファスシリコン膜も上記の条件で固相結晶化される。

【0022】固相結晶成長終了後、 Ar^+ レーザーラマン法によって、結晶化の度合いを評価した。その結果を図6、図7に示す。いずれも縦軸は標準試料（シリコン単結晶）のラマンピークの強度を1としたときの相対強度である。プラズマ処理をおこなわなかった試料では580℃以下、8時間以内ではいかなる結晶化もなかった。しかしながら、プラズマ処理をおこなった試料では、RFパワーが20Wのものでも60Wのものでもい

40 ずれも結晶化したことが観察された。

【0023】注意深く観察すると結晶化の進行はRFパワーに依存することがわかる。すなわち、低パワー（20W）では、比較的結晶化は進行しにくい。550℃で結晶化するには少なくとも1時間アニールすることが必要である。すなわち、潜伏時間は1時間である。しかし、その後は急激に結晶化が進行し、2時間のアニールではほぼ飽和状態となる。ラマンのピークは標準試料であるシリコン単結晶のものと同程度にまで結晶化が進行したことが分かる。

50 【0024】一方、高パワー（60W）のものでは、比較的結晶化しやすい。例えば、4時間のアニールでは、既に480℃で結晶化が観察され、550℃のアニールでも10分で結晶化（潜伏時間10分）し、1時間で飽和状態となることがわかる。しかし、結晶化の度合いは低く、ラマン強度は低パワー（20W）のもの70%

弱である。

【0025】この相違は結晶核発生密度の相違として説明できる。すなわち、低パワーの条件では触媒物質の濃度が低いため核の密度が低い。そのため、結晶化温度は高く、かつ、時間も長くなる。しかし、核の密度が小さいために結晶性が良好であり、ラマン強度は強い。一方、高パワーの条件では触媒物質の濃度が高く、核の密度も高いために結晶化しやすい。しかし、そのために他の核の妨害も受けやすく、結晶性は良くない。しかし、いずれの場合もプラズマ処理をおこなわなかった場合に比較すると低温で短時間の結晶化を達成することができた。これがプラズマ処理の効果であることは明らかである。本実施例では、触媒物質の濃度を制御する方法として、RFパワーを制御する場合を取り上げたが、その他にプラズマ処理時の圧力やガスの種類、成分、試料の温度、処理時間等の要素も重要な制御項目である。

【0026】〔実施例2〕 本実施例はプラズマによる下地酸化膜の処理を選択的にこなうことによって、選択的に結晶化をおこなう方法に関するものである。図2にその方法を示す。基板（コーニング7059）21上に厚さ2000Åの酸化珪素膜22をスパッタ法によって形成し、さらに、耐熱性フォトリソスト24をスピコートし、これをパターニングした。そして、この基板を実施例1と同様に窒素プラズマ中にさらし、下地酸化膜の露出した部分23をプラズマ処理した。プラズマ処理の条件としてはRFパワーを60Wとした以外は実施例1と同一の条件とした。（図2（A））

【0027】このとき、基板は200℃以上の温度に保持されるので、マスク材としては、少なくともそれに耐えるだけの耐熱性があることが望まれる。また、マスク材は除去する際に、プラズマを使用しないで除去できることが望ましい。マスク材として耐熱性のフォトリソストを用いることは、これらの点で好ましい。また、窒化チタン、酸化珪素、窒化珪素等の無機材料も使用できる。

【0028】その後、減圧CVD法によって、厚さ1500Åのアモルファスシリコン膜25を堆積し、続いて、550℃で4時間のアニールをおこない、結晶化をおこなった。この結果、先のプラズマ処理の際にマスク材で覆われていなかった部分を中心として結晶化が進行し、結晶性シリコン26が観察された。この結晶性シリコンは、マスク材で覆われた部分へも拡大し、約5μm程度進行した。それ以外のマスク材で覆われていた領域では結晶化は観察されなかった。

【0029】注目すべきことは、プラズマ処理をおこなった箇所とその周辺の5μmの箇所の結晶性を比較した際に、後者の方が前者よりも良好な結晶性が得られたということであった。これは前者では、複数の核が独立に結晶を成長させ、それらが衝突して結晶成長を制約するのに対し、後者には核がなく、結晶成長の方向が1方向

であり、いかなる結晶成長の制約も無いからである。

【0030】〔実施例3〕 本実施例は、特に高移動度のTFETを得るために、プラズマ処理を選択的にこなった場合である。具体的にはTFETのチャンネル形成領域（島状半導体領域のソースとドレインの中間の領域で、ゲート電極の下に存在する領域）を作製する部分にのみマスク材を形成し、プラズマが当たらないようにしたものである。ただし、実施例2にも示したように、結晶化が進行する領域は、アニール温度・時間にも依存するが、数〜10μmであるので、チャンネル長、チャンネル幅がいずれも大きなものは適当でない。

【0031】プラズマ処理では、プラズマの衝撃によって下地の酸化珪素表面に欠陥が生じ、また、様々な被着物が付着する。このような欠陥・被着物の一部は、本発明の結晶核を発生させる触媒となる一方、TFETのチャンネル形成領域に存在するとリーク電流の原因となる。また、高い移動度を得んとすれば結晶性が良好なものが好ましく、実施例2に示したように、プラズマ処理された部分よりも、その周辺の方が良好である。図3を用いて本実施例の工程を説明する。

【0032】基板（コーニング7059）30上に酸化珪素の下地膜31（厚さ2000Å）をスパッタ法によって形成した。そして、耐熱性フォトリソストを用いてマスク32A、32Bを形成した。マスクの大きさはチャンネルの大きさと同じで、いずれも5μm×15μmとした。あるいはこのマスクのパターニングにはゲート配線のパターニングを用いてもよい。後で示すようにアモルファスシリコン膜をパターニングしてから結晶化をおこなうので、同じ効果が得られる。そして、基板をプラズマ33中に置き、図3（A）に示すようにプラズマ処理をおこなった。用いたプラズマ処理装置は実施例1と同じである。処理条件は以下の通り。

RFパワー	60W
反応ガス	窒素（流量は100SCCM）
反応時間	5分
基板温度	200℃
反応圧力	10Pa（到達真空度は10 ⁻³ Pa以下）

【0033】プラズマ処理後、マスク32A、32Bは除去した。その後、減圧CVD法によってアモルファスシリコン膜を厚さ1500Å形成した。原料ガスとしてはモノシラン（SiH₄）を用いた。さらに、連続的に550℃で4時間アニールをおこない、結晶化を進行させた。次に、これをパターニングして、島状シリコン領域34A、34Bを形成した。さらに、プラズマCVD法によってゲート絶縁膜として厚さ1000Åの酸化珪素膜35を形成した。原料ガスはTEOS（テトラ・エトキシ・シラン）と酸素を用いた。そして、N型のポリシリコンを減圧CVD法によって堆積し、これをパターニングしてゲート配線・電極36A、36Bを形成し

た。(図 3 (B))

【0034】次に、プラズマドーピング法によって不純物ドーブをおこなった。ドーピングガスとしては、N型にはフォスフィン (PH_3) を、P型にはジボラン (B_2H_6) を用いた。加速電圧は、フォスフィンが 80 keV、ジボランは 65 keV とした。さらに 550℃ で 4 時間アニールすることによって、不純物の活性化をおこない、不純物領域 37 を形成した。活性化にはレーザーアニールもしくはフラッシュランプアニールのような光エネルギーを使用する方法も用いることができる。

(図 3 (C))

【0035】最後に、通常の TFT 作製と同様に層間絶縁物 38 として、厚さ 5000 Å の酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極 39 A、39 B を形成した。

(図 3 (D))

出来上がった TFT 回路を上方から見た図を図 3 (E) に示す。図の一点鎖線の断面が図 3 (A) ~ (D) である。得られた TFT の電解効果移動度は N チャネル型で 40 ~ 60 cm^2/Vs 、P チャネル型で 30 ~ 50 cm^2/Vs であった。

【0036】〔実施例 4〕 本実施例は、アルミニウムゲートの TFT 作製を本発明を用いておこなった場合である。図 4 を用いて本実施例の工程を説明する。基板 (コーニング 7059) 40 上に酸化珪素の下地膜 41 (厚さ 2000 Å) をスパッタ法によって形成した。そして、基板をプラズマ 42 中に置き、図 4 (A) に示すようにプラズマ処理をおこなった。もちいたプラズマ処理装置は実施例 1 と同じものである。処理条件は以下の通り。

RF パワー	20 W
反応ガス	アルゴン (流量は 100 S C C M)
反応時間	5 分
基板温度	200℃
反応圧力	10 Pa (到達真空度は 10^{-3} Pa 以下)

【0037】その後、減圧 CVD 法によってアモルファスシリコン膜 43 を厚さ 1500 Å 形成した。原料ガスとしてはモノシラン (SiH_4) を用いた。さらに、550℃ で 4 時間アニールをおこない、結晶化を進行させた。(図 4 (B))

そして、これをパターニングして、島状シリコン領域 44 を形成した。さらに、プラズマ CVD 法によってゲイト絶縁膜として厚さ 1000 Å の酸化珪素膜 45 を形成した。原料ガスは TEOS (テトラ・エトキシ・シラン) と酸素を用いた。そして、1% のシリコンを含むアルミニウム膜 (厚さ 5000 Å) をスパッタ法によって堆積し、これをパターニングしてゲイト配線・電極 46 を形成した。(図 4 (C))

【0038】次に、基板を 3% の酒石酸のエチレンジリ

コール溶液に浸し、白金を陰極として、アルミニウム配線 46 を陽極とし、これに電流を流して陽極酸化をおこなった。電流は最初は、2 V/分 で電圧が上昇するように印加し、220 V に達したところで電圧を一定とし、電流が 10 $\mu\text{A}/\text{m}^2$ 以下になったところで電流を停止した。この結果、厚さ 2000 Å の陽極酸化物 47 が形成された。(図 4 (D))

【0039】次に、プラズマドーピング法によって不純物ドーブをおこなった。ドーピングガスとしては、N型にはフォスフィン (PH_3) を、P型にはジボラン (B_2H_6) を用いた。加速電圧は、フォスフィンが 80 keV、ジボランは 65 keV とした。さらにこれをレーザーアニールすることによって、不純物の活性化をおこない、不純物領域 48 を形成した。使用したレーザーは、KrF レーザー (波長 248 nm) で、250 ~ 300 mJ/cm^2 のエネルギー密度のレーザー光を 5 ショット照射した。(図 4 (E))

【0040】最後に、通常の TFT 作製と同様に層間絶縁物 49 として、厚さ 5000 Å の酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極 50 A、50 B を形成した。

(図 3 (F))

得られた TFT の電解効果移動度は N チャネル型で 40 ~ 60 cm^2/Vs 、P チャネル型で 30 ~ 50 cm^2/Vs であった。また、この TFT を用いて作製されたシフトレジスタではドレイン電圧 17 V で 6 MHz、20 V で 11 MHz での動作が確認された。

【0041】

【発明の効果】以上、述べたように、本発明はアモルファスシリコン結晶化の低温化、短時間化を促進するという意味で画期的なものであり、また、そのための設備、装置、手法は極めて一般的で、かつ量産性に優れたものである。産業にもたらす利益は図りしえないものである。

【0042】例えば、従来の固相成長法においては、少なくとも 24 時間のアニールが必要とされたために、1 枚当たりの基板処理時間を 2 分とすれば、アニール炉は 15 本も必要とされたのであるが、本発明によって、4 時間以内に短縮することができたので、アニール炉の数を 1/6 以下に削減することができる。このことによる生産性の向上、設備投資額の削減は、基板処理コストの低下につながり、ひいては TFT 価格の低下とそれによる新規需要の喚起につながるものである。このように本発明は工業上、有益であり、特許されるにふさわしいものである。

【図面の簡単な説明】

【図 1】 本発明を実施する装置の例を示す。(実施例 1 参照)

【図 2】 実施例 2 の工程を示す。(選択的に結晶化する例)

【図 3】 実施例 3 による T F T の作製工程図 (断面図) を示す。

【図 4】 実施例 4 による T F T の作製工程図 (断面図) を示す。

【図 5】 本発明を実施する装置の例を示す。(実施例 1 参照)

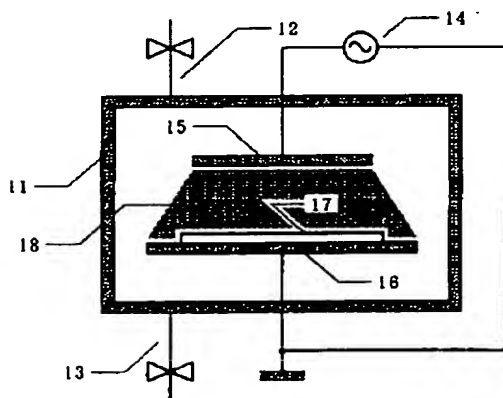
【図 6】 実施例 1 によってえられたシリコン膜のラマン散乱強度のアニール時間依存性を示す。(ピーク比は、標準試料 (単結晶シリコン) のラマン散乱強度を 1 としたときの相対強度)

【図 7】 実施例 1 によってえられたシリコン膜のラマン散乱強度のアニール温度依存性を示す。(ピーク比は、標準試料 (単結晶シリコン) のラマン散乱強度を 1 としたときの相対強度)

【符号の説明】

11・・・チャンバー	12・・・ガス導入系
13・・・排気系	14・・・RF電源
15、16・・・電極 (試料)	17・・・基板
18・・・RFプラズマ	22・・・下地酸化珪素膜
21・・・基板	24・・・マスク材
23・・・プラズマ処理された面	26・・・結晶化シリコン膜
25・・・アモルファスシリコン膜	27・・・結晶化していないシリコン膜
30・・・基板	31・・・下地酸化珪素膜
32・・・マスク材	33・・・プラズマ
34・・・結晶性シリコン領域	35・・・ゲイト

【図 1】



絶縁膜 (酸化珪素)

36・・・ゲイト電極 (N型シリコン)

37・・・不純物領域 (ソース、ドレイン)

38・・・層間絶縁物

39・・・ソース

電極、ドレイン電極

40・・・基板

41・・・下地酸化珪素膜

42・・・プラズマ

43・・・アモルファスシリコン領域

44・・・結晶性シリコン領域

45・・・ゲイト

絶縁膜 (酸化珪素)

46・・・ゲイト電極 (アルミニウム)

47・・・陽極酸化物 (酸化アルミニウム)

48・・・不純物領域 (ソース、ドレイン)

49・・・層間絶縁物

50・・・ソース

電極、ドレイン電極

501・・・スパッタチャンバー

502・・・電極 (試料側)

503・・・電極 (ターゲット側)

504・・・RF

電源

505・・・ターゲット

506・・・試料 (基板)

507・・・ガス (酸素/Ar) 系

508・・・ガス (窒素) 系

509・・・排気系

510・・・予備室

511・・・試料 (基板)

521・・・プラズマ CVD チャンバー

522・・・電極 (試料側)

523・・・電極 (対向側)

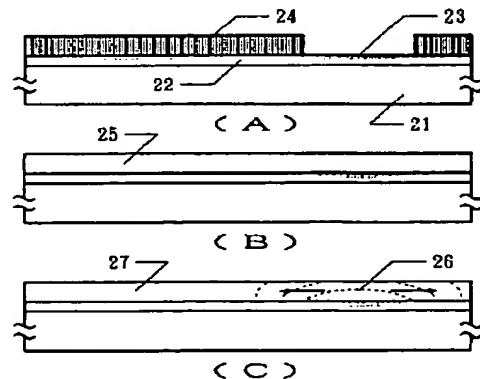
524・・・RF電源

525・・・試料 (基板)

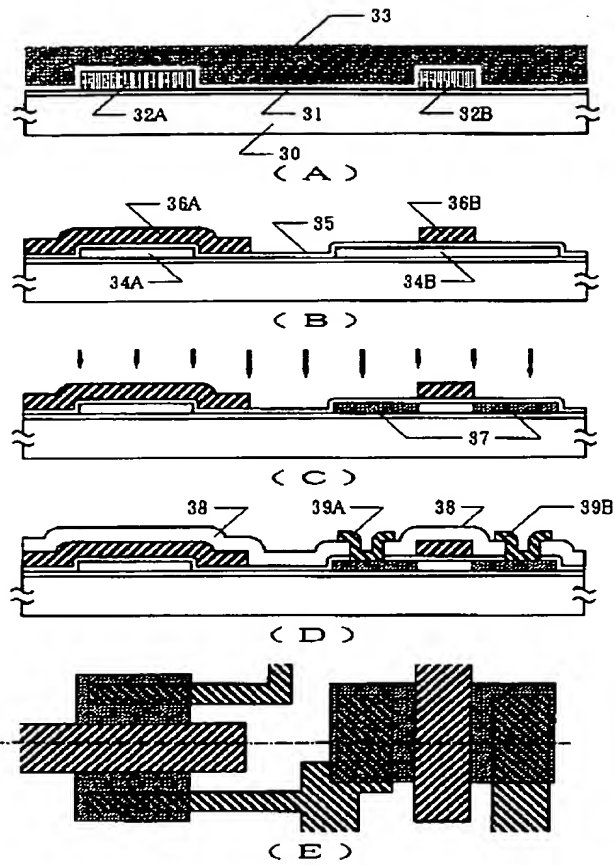
526・・・ガス (シラン/水素) 系

527・・・排気系

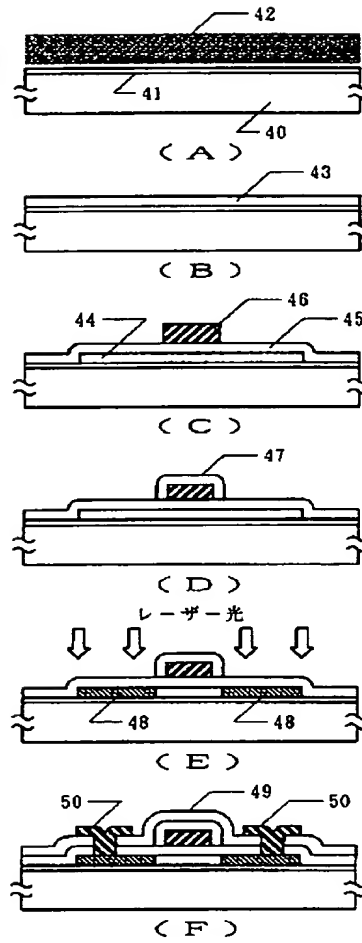
【図 2】



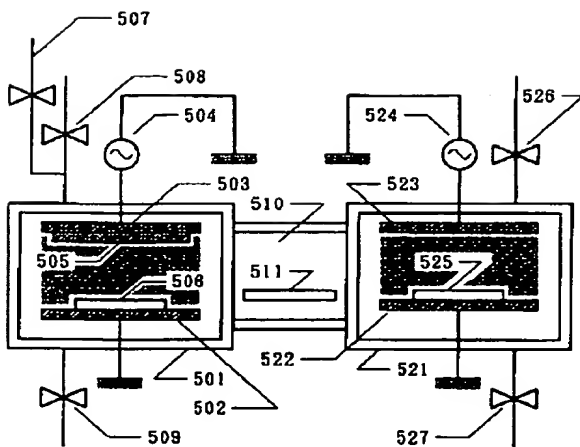
【図3】



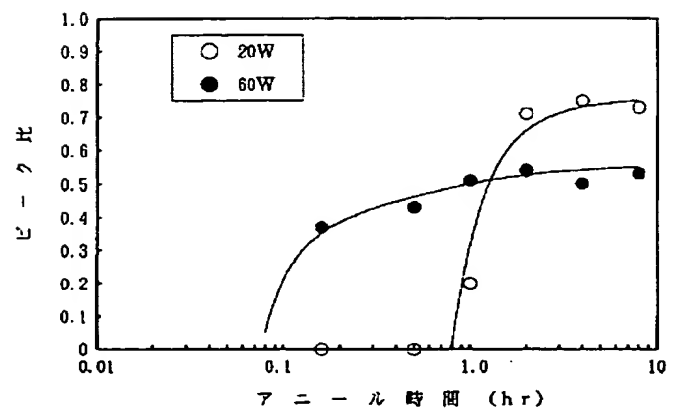
【図4】



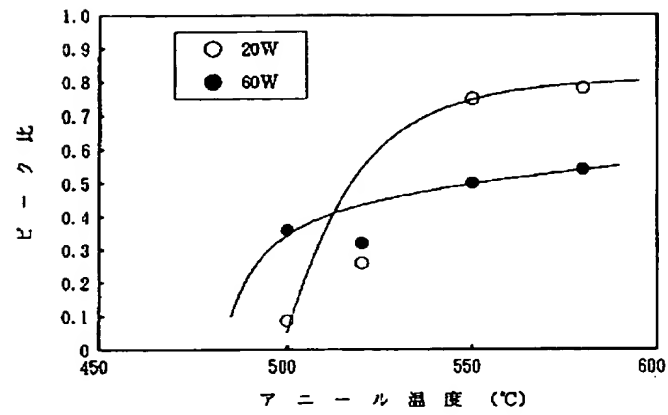
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

English translation of

(12) Japanese Laid-Open Patent (A) (11) No.Hei 6-232059

(43) LAID-OPEN DATE August 19, 1994

(21) APPLICATION NUMBER Hei 5-39499

(22) APPLICATION DATE February 3, 1993

(71) APPLICANT 00015878
Semiconductor Energy Laboratory, Co., Ltd.
398 Hase, Atsugi-shi, Kanagawa-ken

(72) INVENTOR Toru Takayama
398 Hase, Atsugi-shi, Kanagawa-ken
c/o Semiconductor Energy Laboratory, Co., Ltd.

(72) INVENTOR Hongyoung Zhang
398 Hase, Atsugi-shi, Kanagawa-ken
c/o Semiconductor Energy Laboratory, Co., Ltd.

(72) INVENTOR Shumpei Yamazaki
398 Hase, Atsugi-shi, Kanagawa-ken
c/o Semiconductor Energy Laboratory, Co., Ltd.

(72) INVENTOR Yasuhiko Takemura
398 Hase, Atsugi-shi, Kanagawa-ken
c/o Semiconductor Energy Laboratory, Co., Ltd.

(54) TITLE OF THE INVENTION

A METHOD OF FABRICATING SEMICONDUCTOR AND SEMICONDUCTOR DEVICE

(57) [ABSTRACT] (Corrected)

[PURPOSE] A method of shortening crystallization time by lowering crystallization temperature of amorphous silicon, and a method of fabricating a thin film transistor by utilizing above mentioned method are provided.

[STRUCTURE] After depositing a base insulating film (ex. silicon oxide film 22), plasma treatment is employed by exposing the base insulating film to a plasma. Then, an amorphous silicon film 22 is deposited, and crystallized at 450-600°C. Moreover, the nucleation sites are controlled by selectively exposing the amorphous silicon film to a plasma atmosphere. By the above method, a portion 26 having good crystallinity is formed at will and a thin film transistor is fabricated by utilizing the portion.

[NAME OF DOCUMENT] Specification

[TITLE OF THE INVENTION] A METHOD OF FABRICATING SEMICONDUCTOR AND
FABRICATING SEMICONDUCTOR DEVICE

[CLAIMS]

[CLAIM 1] A process for fabricating a semiconductor comprising the steps of:

forming an insulator coating on a substrate;

exposing said insulator coating to a plasma;

forming an amorphous silicon film on said insulator coating after said exposing step; and

crystallizing said silicon film by processing said silicon film in the temperature range of from 400 to 600°C.

[CLAIM 2] The process for fabricating a semiconductor of claim 1 wherein the substrate is heated in a temperature range of from 100 to 500°C during said exposing step.

[CLAIM 3] The process for fabricating a semiconductor of claim 1 wherein the plasma utilized comprises 10% by volume or more of at least one selected from the group consisting of nitrogen, oxygen, neon, krypton, and argon.

[CLAIM 4] The process of claim 1 wherein said substrate is not exposed to air between said step of exposing an insulator coating to a plasma and said step of forming an amorphous silicon film on said insulator coating.

[CLAIM 5] The process of claim 1 wherein said step of exposing an insulator coating on a substrate to a plasma is carried out in a space provided therein an electrode made of a material containing at

least one element selected from a group consisting of nickel, iron, cobalt, and platinum.

[CLAIM 6] A process for fabricating a semiconductor comprising the steps of:

- forming an insulator coating on a substrate;
- selectively coating said insulator coating with a masking material;
- exposing said substrate to a plasma;
- forming an amorphous silicon film on said insulator coating after said exposing step;
- crystallizing said silicon film by processing in the temperature range of from 400 to 600°C; and
- selectively etching said silicon film.

[CLAIM 7] A process for fabricating a thin film transistor comprising the steps of:

- forming an insulator coating on a substrate;
- selectively coating said insulator coating with a masking material;
- exposing said substrate to a plasma;
- forming an amorphous silicon film on said insulator coating after said exposing step;
- processing said silicon film in the temperature range of from 400 to 600°C;
- selectively etching said silicon film; and
- establishing a channel forming region of the thin film transistor out of the portion previously coated with the masking material.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[FIELD FOR INDUSTRIAL USE]

The present invention relates to a process for fabricating a crystalline semiconductor for use in thin film devices such as thin-film insulated-gate field-effect transistors (hereinafter referred to simply as "thin film transistors" or "TFTs").

[0002]

[PRIOR ART]

Thin films of crystalline silicon semiconductor for use in thin film devices such as thin-film insulated-gate field-effect transistors (TFTs) known heretofore have been fabricated by crystallizing an amorphous silicon film formed through plasma CVD (chemical vapor deposition) or thermal CVD, using an apparatus such as an electric furnace at a temperature of not lower than 600°C for a duration of 12 hours or longer. Thin films of crystalline silicon semiconductor having sufficiently high quality (for example, an excellent field effect and a high reliability) are available only after subjecting the amorphous film to a heat treatment for a still longer duration.

[0003]

[PROBLEMS THE PRESENT INVENTION INTENDS TO SOLVE]

However, those prior art processes for obtaining thin films of crystalline silicon semiconductor suffer many problems yet to be solved. One of the problems is the low throughput which increases

the process cost. For instance, if a duration of 24 hours is required for the crystallization step, 720 substrates must be processed at a time considering that preferably, the substrates each consume 2 minutes of process time. However, the maximum number of substrates an ordinary tubular furnace can treat at a time is limited to 50; in a practical treatment using only one apparatus (reaction tube), it has been found that a single substrate consumes 30 minutes to complete the treatment. In other words, at least 15 reaction tubes are necessary to complete the reaction per single substrate in 2 minutes. This signifies an increase in investment cost and therefore an increase of the product price due to a too large depreciation for the investment.

[0004]

The temperature of the heat treatment is another problem to be considered. In general, a TFT is fabricated using a quartz glass substrate comprising pure silicon oxide or an alkali-free borosilicate glass substrate such as the #7059 glass substrate manufactured by Corning Incorporated (hereinafter referred to simply as "Corning #7059"). The former substrate has such an excellent heat resistance that it can be treated in the same manner as in a conventional wafer process for semiconductor integrated circuits. However, it is expensive, and, moreover, the price increases exponentially with increasing the area of the substrate. Thus, at present, the use of quartz glass substrates is limited to TFT integrated circuits having a relatively small area.

[0005]

On the other hand, alkali-free glass is inexpensive as compared to quartz glass, however, it has shortcomings with respect to heat

resistance. Since an alkali-free glass undergoes deformation at a temperature in the range of from 550 to 650°C, and more particularly, since a readily available material initiates its deformation at a temperature not higher than 600°C, any heat treatment at 600°C causes an irreversible shrinkage and warping to form on the substrate. These deformations appear particularly distinctly on a substrate having a diagonal length of more than 10 inches. Accordingly, it is believed requisite to perform the heat treatment on a silicon semiconductor film at a temperature of 550°C or lower and for a duration of within 4 hours to reduce the entire process cost. The present invention is aimed at providing a method of fabricating semiconductor and fabricating semiconductor device filling said requirements.

[0006]

[MEANS TO SOLVE THE PROBLEMS]

The present invention is characterized in that it comprises forming an insulator coating on a substrate; exposing said insulator coating to a plasma; forming an amorphous silicon film on said insulator coating after said process; and processing said silicon film in the temperature range of from 400 to 600°C.

The present invention is further characterized in that it comprises forming an insulator coating on a substrate; selectively coating said insulator film with a masking material; exposing said substrate to a plasma; forming an amorphous silicon film on said insulator coating after said process; processing said silicon film in the temperature range of from 400 to 600°C; and selectively etching said silicon film.

[0007]

Furthermore, the present invention comprises fabricating a thin film transistor which is characterized in that it comprises forming an insulator coating on a substrate; selectively coating said insulator coating with a masking material; exposing said substrate to a plasma; forming an amorphous silicon film on said insulator coating after exposing the substrate to said plasma; processing said silicon film in the temperature range of from 400 to 600°C; and establishing a channel forming region of a thin film transistor from the portion previously coated with the masking material.

[0008]

After an extensive study, the present inventors have found a means for overcoming the aforementioned problems. The present inventors formed a lower insulator layer on a substrate to prevent impurities from intruding into the semiconductor layer from the substrate, and, after once exposing the insulator layer to plasma, deposited a layer of amorphous silicon and thermally crystallized the amorphous silicon. Thus, it has been found that a silicon semiconductor film deposited on the resulting structure can be crystallized considerably easily.

[0009]

The aforementioned findings can be explained as follows. The reason why a conventional thermal crystallization process at about 600°C requires a long period of time can be explained, in one aspect, by the generation of crystal nuclei which takes a long time.

In the present specification, this period of time referred to as a latent period. According to the 24-hour observation of a crystallization process by the present inventors, silicon maintains

its initial amorphous state in the initial period of six hours because no nucleus is formed during this period. In the subsequent period of six hours, nuclei are generated spontaneously, and this step is followed by the crystallization. It can be seen that a prior art process includes a latent period for a duration of from 6 to 12 hours in the entire process time. However, the nuclei thus formed during the latent period are highly disordered, and the concentration of the nuclei differs from place to place. Thus, in particular regions, it happens that the crystallization greatly proceeds; but in other regions, substantially no crystallization is observed to occur. However, with passage of time, nucleation occurs also in those regions in which no nucleation had been observed, or the region of crystallization extends to gradually cover the entire substrate. It can be seen that a period of 12 hours or longer is necessary to obtain a completely crystallized substrate.

[0010]

When the base insulator film is treated with a plasma, a substance which functions as a catalyst for accelerating the crystallization is formed in the insulator film. A catalyst which accelerates the nucleation signifies, for example, a charge or a defect which results from the damage caused by the plasma, or a deposit from a material which constitutes the chamber or the substrate. More specifically, those from materials having a catalytic effect on crystallization, such as nickel, iron, cobalt, and platinum, are found to have marked effects as catalysts. The presence of these catalysts facilitates nucleation and shortens the latent period. Moreover, a larger number of crystal nuclei can be obtained by increasing the amount of these catalysts. This can be assumed by the fact that a longer plasma treatment allows nucleation to occur at a higher density and that it leads to the generation of

finer crystals.

[0011]

Another aspect to be noticed is that the nucleation occurs in an extremely uniform density. This can be confirmed by observing the lightly etched surface of a silicon film crystallized by the present invention. More specifically, the surface of a specimen obtained by deposition on amorphous silicon film on a plasma-treated substrate and thermally treating the resulting structure at 550°C for a duration of 4 hours is observed under an optical microscope, electron microscope, and the like after lightly etching the surface using a fluoronitric acid. Then, it can be found that crater-like minute holes are formed at approximately the same spacing. These holes are believed attributable to the presence of materials liable to be readily etched. In other words, the etched pattern corresponds to the density distribution of crystal nuclei inside the silicon film. It can be assumed that the catalyst is distributed in the same manner as the density (concentration) distribution pattern of the holes.

[0012]

Favorable results on the plasma treatment can be obtained by performing the treatment using a parallel-plate type plasma generation apparatus. Otherwise, the use of a positive column discharge in a chamber while applying a proper bias can also yield favorable results. At any rate, preferred results can be obtained by using an electrode made of nickel, iron, or cobalt for generating the plasma.

Furthermore, the crystallization occurs more easily by heating the substrate to a temperature range of from 100 to 500°C during the

plasma treatment, and more specifically, the substrate is preferably heated to a temperature of 200°C or higher. This is because the catalytic substance can be more readily obtained at higher temperatures.

[0013]

Best results on plasma treatment can be obtained by generating the plasma in an atmosphere containing nitrogen, oxygen, argon, neon, or krypton, and particularly, when these gases are contained in an amount of 10 volume by % or more. The gas is preferably diluted using hydrogen or helium. Moreover, the silicon films which yield the best results were found to be intrinsic or substantially intrinsic, and they were found to contain the foreign elements carbon, oxygen, and nitrogen each at a concentration of $1 \times 10^{19} \text{cm}^{-3}$ or lower by known secondary ion mass spectroscopy (SIMS).

[0014]

The process according to the present invention comprises plasma treating the surface of a base insulator film. However, when a substrate once subjected to plasma treatment is exposed to the atmosphere, dust, water, and other impurities adhere to the surface to greatly impair the crystallinity of the silicon film. In other words, substrates having a non-uniform characteristics result by the exposure of the substrate to the atmosphere. Such a problem can be circumvented by performing the film deposition and the plasma treatment in a closed system, and maintaining an environment in which the film deposition can be performed continuously without exposing the plasma-treated substrate to air. Furthermore, preferably, the surface of the substrate and the insulating coating is maintained at a sufficiently clean state. For instance, carbon,

organic matter, and the like are preferably removed from the surface by employing ultraviolet irradiation, ozone treatment, or a combination thereof.

[0015]

[EMBODIMENT]

[Embodiment 1] A process for crystallizing a planar amorphous silicon film formed on a Corning #7059 substrate is described below.

A 2,000Å thick silicon oxide film was deposited on the substrate as a base film using RF sputtering, and the resulting silicon oxide film was treated in nitrogen plasma. A plasma treating apparatus was of a parallel plane type as shown schematically in Fig.1. Nickel-alloy was utilized for electrodes.

chamber...11,	gas inlet system...12,
evacuation system...13,	RF power source...14,
electrodes 15,16,	substrate...17,
RF plasma...18	

[0016]

Condition of the plasma treatment was as the following:

RF power.....	20W or 60W
Reactive gas.....	nitrogen (flow rate of 100SCCM)
Reaction time.....	5 minutes
Substrate temperature....	200°C
Reaction pressure.....	10Pa (where, a vacuum degree of 10^{-3} Pa or lower is achieved)

[0017]

Then, a 1,500Å thick amorphous silicon film was deposited by plasma CVD, and after removing hydrogen from the film by keeping it at a temperature of 430°C for 1 hour, solid phase growth was allowed to take place thereon in the temperature range of from 500 to 580°C for a duration of from 10 minutes to 8 hours.

[0018]

The above steps may be performed otherwise using, for example, an apparatus having two or more chambers as shown in Fig.5, so that the steps can be performed continuously. Particularly, the above processes comprise depositing the amorphous silicon film after once exposing the plasma-treated silicon oxide base to air. The process according to the present invention is sensitive to the surface conditions, and the characteristics of the resulting crystalline silicon film tend to be greatly influenced by the inclusions which may adhere to the surface of the substrate during its exposure to air.

[0019]

Referring briefly to the apparatus illustrated in Fig.5, it comprises a chamber 501 which is a sputtering apparatus, and a plasma is generated by supplying electric power to two electrodes (sample holder) 502 and (a backing plate) 503 from an RF power source 504. A substrate 506, which is the sample, and a target 505 are placed on the respective electrodes. This target in this case is silicon oxide. This chamber is further equipped with a gas system 507 for introducing a gas mixture comprising oxygen gas and argon gas, and another gas system 508 for introducing nitrogen gas. Thus, a gas is supplied from the former system during the deposition of the silicon oxide film, and during the plasma treatment, the gas

is supplied from the latter system. 509 is an evacuation system.

[0020]

A chamber 521 is a parallel plane type plasma CVD apparatus. A plasma can be generated by supplying an electric power from an RF power source 524 to two electrodes 522 and 523. A sample substrate 525 is mounted on the electrode 522. A gas system 526 introducing a gas mixture of silane and hydrogen is provided to this chamber, and a film formed by plasma reaction is formed on the substrate 525. Though not shown in the figure, a mechanism is provided to those chambers as such that the substrate can be heated to a proper temperature.

An additional chamber 510, in which a substrate 511 is placed, is provided between the two plasma chambers.

[0021]

In a process using the apparatus illustrated in Fig.5, nitrogen plasma treatment is performed immediately after the completion of silicon oxide film deposition using sputtering in the chamber 501, by replacing the atmosphere inside the chamber with nitrogen. If a silicon oxide target should remain inside the chamber, further deposition of silicon oxide film occurs by sputtering. To prevent this from occurring, the RF power must be lowered or the silicon oxide target must be isolated from the plasma. Fortunately, as described hereinafter, plasma treatment is performed optimally at a power of 60W or lower, and preferably, at a power of 20W, as compared with an RF power of 100W or higher required for sputtering.

Accordingly, no deposition of silicon oxide occurred during the treatment in nitrogen plasma. To further assure the process, however, a chamber for depositing the silicon oxide film is

preferably installed separately from the chamber for use in plasma treatment. An amorphous silicon film thus deposited was also subjected to solid-phase crystallization under the same conditions described hereinbefore.

[0022]

After allowing the amorphous silicon film to undergo solid phase crystal growth, the degree of crystallization thereof was evaluated using Ar⁺-laser Raman spectroscopy. The results are shown in Figs. 6 and 7. The ordinate in both of the graphs represents relative intensity taking the Raman peak intensity of a standard sample (a single crystal silicon) as unity. It can be read from the graphs that no crystallization occurs by heat treating a sample without plasma treatment at 580°C or lower for a duration of 8 hours or less. In contrast to this, both of the samples plasma-treated at an RF power of 20W and 60W are found to undergo crystallization.

[0023]

With a careful inspection of the results, it can be seen that the crystallization proceeds as a function of the RF power. More specifically, the crystallization proceeds rather sluggishly under a low power (20W). At least an annealing for a duration of 1 hour is necessary to crystallize the amorphous silicon film at 550°C. In other words, the latent period is 1 hour. However, after the passage of an hour, the crystallization proceeds swiftly to attain a saturated state within 2 hours of annealing. By comparing the Raman peak intensity, it can be seen that a crystallization degree well comparable with that of a standard sample, i.e., a single crystal silicon, is achieved for the sample after the annealing of 2 hours.

[0024]

In contrast to the case above, crystallization proceeds relatively swiftly under a high RF power (60W). For example, an annealing for 4 hours allows the amorphous silicon film to crystallize at a temperature as low as 480°C, and by increasing the temperature to 550°C, an annealing for a duration of mere 10 minutes (i.e., a latent period of 10 minutes) initiates crystallization and achieves a saturated state in an hour. However, the degree of crystallization is low, and the Raman intensity only corresponds to less than 70% of that obtained for a silicon film crystallized under a low power (20W).

[0025]

This difference can be explained in terms of the nucleation density. That is, nuclei are generated at a low density when the plasma treatment is applied under a low power condition, because the concentration of the catalytic substance is low. Thus, the crystallization of these nuclei requires a treatment at a high temperature and a long duration. However, the resulting crystallites have high crystallinity and yield a high Raman intensity ratio. On the other hand, catalytic substances are generated at a high concentration by applying a plasma treatment under a condition of high power. Since nucleation occurs at high density, crystallization occurs relatively easily. However, the nuclei interfere each other during their growth, and the film which is obtained as a result has a poor crystallinity.

At any rate, the application of a plasma treatment enables crystallization to take place at a low temperature and within a short period of time as compared with the case with no plasma treatment. Obviously, the crystallization at a low temperature and

in a short period of time is achieved by applying a plasma treatment. In the present Embodiment, the concentration of the catalytic substance was controlled by controlling the RF power, however, other factors, such as the pressure applied during the plasma treatment, the type and the component of gas, the temperature of the sample, and the duration of processing, are all important factors for controlling the concentration of the catalytic substance.

[0026]

[Embodiment 2]

A process for selectively crystallizing by selectively treating the base oxide film using a plasma treatment is described below. Referring to Fig.2, a 2,000Å thick silicon oxide film 22 was deposited as a base on a Corning #7059 substrate 21 by sputtering, and a heat-resistant photoresist 24 was applied thereon by spin-coating. After patterning the resulting photoresist film 24, the entire substrate was exposed to nitrogen plasma in the same manner as in Embodiment 1 to perform plasma treatment on the exposed portion 23 of the oxide film base. The plasma treatment was effected under the same conditions as those employed in Embodiment 1, except for setting the RF power to 60W. thus was obtained a structure shown in Fig.2(A).

[0027]

Since the substrate at this point is heated to a temperature of 200°C or higher, the masking material to be used herein must at least resist to the same temperature. Furthermore, preferably, the masking material is removable without using a plasma. Thus, the use

of a heat-resistant photoresist for the mask is preferred from these points of view. Otherwise, inorganic materials such as titanium nitride, silicon oxide, and silicon nitride can be used as well.

[0028]

Subsequently, an annealing at 550°C for a duration of 4 hours is performed after depositing a 1,500Å thick amorphous silicon film 25 by low pressure CVD. As a result, crystalline silicon 26 was observed to be formed around the portions remained uncovered by the masking material on plasma treatment before. The crystallization extended into portions covered by the masking material (but only portions treated by the plasma) for about 5 μm along the longitudinal direction. No crystallization was observed to occur on other portions covered by the masking material.

[0029]

Noticeably, the crystallinity for the peripheral portions at a distance of 5 μm from those plasma-treated portions was better than that of the portions subjected to plasma treatment. In the former, the crystallites initiate growth from a plurality of independent nuclei, and that then they collide with each other to interfere their growth. On the other hand, the latter contain no nucleus, and the direction of crystal growth is confined to a single direction. It can be seen that the crystal growth is allowed to take place without any limitations.

[0030]

[Embodiment 3]

A process for fabricating a TFT having particularly high mobility by selectively performing a plasma treatment is described below. More specifically, the masking material was formed only on a portion for fabricating a channel forming region (i.e., a region located under the gate electrode and between a source and a drain in an island-like semiconductor region) of a TFT to prevent this portion from being exposed to plasma. However, since crystallization proceeds, though depending on the annealing temperature and duration, in a region from several micrometers to ten micrometers in size as described in the foregoing Embodiment 2, this process is not suitable for a device having too long a channel length and too wide a channel width.

[0031]

In the plasma treatment, the surface of the silicon oxide base is subject to defects due to the impact exerted by the plasma. Moreover, various types of foreign matter adhere to the surface. A part of these defects and foreign matter functions as a catalyst to accelerate nucleation, however, it also may cause leak current if it is found in the channel forming region of a TFT. Furthermore, a TFT having high mobility can be obtained only by using semiconductors of high crystallinity. Thus, by referring to Embodiment 2 above, the peripheral portions are preferred to the plasma treated portions in this case. Referring to Fig.3, the process according to the present embodiment is described below.

[0032]

A 2,000Å thick silicon oxide film 31 was deposited as a base on a Corning #7059 substrate 30 by sputtering, and a heat-resistant photoresist was applied thereon to form masks 32A and 32B each at

the same size as the channel, i.e., $5\text{ }\mu\text{m} \times 15\text{ }\mu\text{m}$. Otherwise, the mask can be patterned using the patterning for the gate connection, because, as described hereinafter, the effect is the same for both considering the amorphous silicon film. The resulting substrate was placed into a plasma 33 to perform the plasma treatment as shown in Fig.3(A). The same plasma treating apparatus as that used in Embodiment 1 was used. The process condition is as the following:

RF power	60W
Reactive gas	nitrogen (flow rate of 100SCCM)
Reaction time	5 minutes
Substrate temperature	200°C
Reaction pressure	10Pa (a vacuum degree of 10^{-3} Pa or lower is achieved)

[0033]

The masks 32A and 32B were removed after the plasma treatment, and a $1,500\text{\AA}$ thick amorphous silicon film was deposited thereon by low pressure CVD using monosilane (SiH_4) as the material gas. Subsequently, annealing was effected at 550°C for a duration of 4 hours to allow the film to crystallize. The thus crystallized film was patterned to form island-like silicon regions 34A and 34B, and this was followed by the deposition of a $1,000\text{\AA}$ thick silicon oxide film 35 by plasma CVD using tetraethoxysilane (TEOS) and oxygen as the material gases. After depositing an N-type polysilicon film by low pressure CVD, the resulting structure was subjected to patterning to form a gate connection electrodes 36A and 36B (Fig.3(B)).

[0034]

Then, impurity doping was performed using plasma doping. In

this case, phosphine (PH_3) and diborane (B_2H_6) were used as the N-type and P-type impurity sources, respectively. Phosphine was doped by applying an accelerating voltage of 80keV, and diborane was doped under a voltage of 65keV. The impurity region 37 was formed by further annealing the structure at 550°C for 4 hours to activate the impurities. This activation can be performed by a method using an optical energy, such as laser annealing and flash lamp annealing (Fig.3(C)).

[0035]

Finally, a 5,000Å thick silicon oxide film was deposited as an interlayer insulator 38 in the same manner as in an ordinary process for fabricating a TFT. By forming contact holes, connection contacts 39A and 39B were formed in the source region and the drain region (Fig.3(D)).

The final structure of the TFT circuit as viewed from the upper side is given in Fig.3(E). The cross section views in Figs. 3(A) to 3(D) are taken along the dashed line drawn in Fig.3(E). The TFT thus obtained was found to have a field-effect mobility of from 40 to 60 cm^2/Vs in the N-channel type, and of from 30 to 50 cm^2/Vs in the P-channel type.

[0036]

[Embodiment 4]

This embodiment is a process for fabricating an aluminum-gate TFT according to the present invention. Fig.4 shows the process of this embodiment.

A base film 41 (2,000Å thickness) of silicon oxide is formed on a substrate (Corning 7059) 40 by sputtering. The substrate was

exposed to plasma 42, and plasma treatment was performed as shown in Fig.4(A). The plasma treatment apparatus utilized was the same apparatus as that of Embodiment 1. Process condition was as the following:

RF power	20W
Reactive gas	argon (flow rate of 100SCCM)
Reaction time	5 minutes
Substrate temperature	200°C
Reaction pressure	10Pa (a vacuum degree of 10^{-3} Pa or lower is achieved)

[0037]

Then, a 1,500Å thick amorphous silicon film 43 was deposited thereon by low pressure CVD using monosilane (SiH_4) as the material gas. Subsequently, annealing was effected at 550°C for a duration of 4 hours to allow the film to crystallize. (Fig.4(B))

The thus crystallized film was patterned to form an island-like silicon region 44, and this was followed by the deposition of a 1,000Å thick silicon oxide film 45 by plasma CVD using tetraethoxysilane (TEOS) and oxygen as the material gases. After depositing a 5,000Å thick aluminum film containing 1% of silicon by sputtering, the aluminum film was patterned to form a gate connection·contact 46. (Fig.4(C))

[0038]

Subsequently, the substrate was subjected to anodic oxidation by dipping it into an ethylene glycol solution containing 3% of tartaric acid and applying current between a platinum cathode and the aluminum connection 46 (anode). The current was applied in such

a manner that the voltage thereof would increase in the initial state at a rate of 2 V/minute, and that a constant voltage is maintained after a voltage of 220V is attained. The current was turned off at the point the current dropped to 10 $\mu\text{A}/\text{m}^2$ or lower. Thus was obtained a 2,000Å thick anodic oxide 47 as shown in Fig.4(D).

[0039]

Then, impurities were introduced using plasma doping. In this case, phosphine (PH_3) and diborane (B_2H_6) was used as the N-type and P-type, respectively. Accelerating voltage was 80 keV for phosphine, and 65 keV for diborane. The impurity region 48 was formed by further laser annealing the structure applying 5 shots using a KrF excimer laser operating at a wavelength of 248 nm and emitting a laser beam at an energy density of from 250 to 300 mJ/cm^2 . The resulting structure is shown in Fig.4(E).

[0040]

Finally, a 5,000Å thick silicon oxide film was deposited as an interlayer insulator 49 in the same manner as in an ordinary process for fabricating a TFT. By forming contact holes in the resulting silicon oxide film, connection contacts 50A and 50B were formed in the source region and the drain region (Fig.3(F)).

The TFT thus obtained was found to have a field-effect mobility of from 40 to 60 cm^2/Vs in the N-channel type, and of from 30 to 50 cm^2/Vs in the P-channel type. Furthermore, a shift resistor fabricated using this TFT was observed to operate at 6 MHz with a drain voltage of 17V, and at 11 MHz with a drain voltage of 20V.

[0041]

[EFFECT OF THE PRESENT INVENTION]

As described in the foregoing, the present invention is epoch-making in that it enables the crystallization of an amorphous silicon to take place at an even lower temperature and within a shorter period of time. Furthermore, the process according to the present invention is suitable for mass production, and yet, it can be performed employing the most commonly used equipments, apparatuses, and methods. Accordingly, it is a promising and a beneficial process for the electronic industry.

[0042]

More specifically, for instance, a conventional solid phase growth process requires an annealing step for a duration of at least 24 hours. Considering that the process time per substrate is preferably 2 minutes, 15 annealing furnaces are necessary to make the process practically feasible. However, the present invention allows the process to complete within 8 hours, and under optimal conditions, the process can be even more shortened to a mere 4 hours or less. This signifies that the process can be performed while reducing the number of furnaces to only a sixth or less of the above calculated number. This leads to an increase of productivity and the cutting down of equipment investment, thereby lowering the process cost of the substrates. Accordingly, economical TFTs can be produced, and this might call novel demands. Conclusively, the present invention is greatly beneficial for the industry.

[BRIEF EXPLANATION OF FIGURES]

[Fig.1] This shows an apparatus for performing a process

according to an embodiment of the present invention. (see Embodiment 1)

[Fig.2] This shows process of Embodiment 2. (selective crystallization)

[Fig.3] This shows a figure of manufacturing process of TFT according to Embodiment 3 (cross section).

[Fig.4] This shows a figure of manufacturing process of TFT according to Embodiment 4 (cross section).

[Fig.5] This shows an Embodiment of the apparatus embodying the present invention (see Embodiment 1)

[Fig.6] This shows the change of Raman scattering intensity ratio with the duration of annealing observed on a silicon film obtained in Embodiment 1, in which the intensity ratio signifies the relative intensity taking the Raman scattering intensity of a standard sample (single crystal silicon) as unity.

[Fig.7] This shows the change of Raman scattering intensity ratio with changing temperature of annealing observed on a silicon film obtained in Embodiment 1, in which the intensity ratio signifies the relative intensity taking the Raman scattering intensity of a standard sample (single crystal silicon) as unity.

[Explanation of marks]

11...chamber

13...evacuation system

15,16...electrode

12...gas inlet system

14...RF power source

17...substrate (sample)

18...RF plasma	
21...substrate	22...base silicon oxide film
23...plasma treated surface	24...mask material
25...amorphous silicon film	26...crystallized silicon film
27...non-crystallized silicon film	
30...substrate	31...base silicon oxide film
32...mask material	33...plasma
34...crystal silicon region	35...gate insulating film (silicon oxide)
36...gate electrode (N silicon)	
37...impurity region(source, drain)	
38...interlayer insulator	39...source electrode drain electrode
40...substrate	41...base silicon oxide film
42...plasma	43...amorphous silicon region
44...crystal silicon region	45...gate insulating film (silicon oxide)
46...gate electrode (aluminum)	
47...anodic oxide (aluminum oxide)	
48...impurity region(source, drain)	
49...interlayer insulator	50...source electrode drain electrode
501...sputter chamber	502...electrode(sample side)
503...electrode (target side)	504...RF power source
505...target	506...sample (substrate)
507...gas (oxygen/Ar) system	508...gas (nitrogen) system
509...evacuation system	510...additional chamber
511...sample (substrate)	521...plasma CVD chamber
522...electrode (sample side)	523...electrode (countering)
524...RF source	525...sample (substrate)
526...gas (silane/hydrogen) system	
527...evacuation system	

[NAME OF DOCUMENT] Abstract

[ABSTRACT]

[PURPOSE] A method of shortening crystallization time by lowering crystallization temperature of amorphous silicon, and a method of utilizing a thin film transistor by utilizing above mentioned method are provided.

[STRUCTURE] After depositing a base insulating film (such as a silicon oxide film), plasma treatment is employed by exposing the base insulating film to a plasma. After that, an amorphous silicon film is deposited, and is crystallized at 450 to 600°C. The nucleation sites are controlled by selectively exposing the amorphous silicon film to a plasma or by selectively applying a substance containing elements having a catalytic effect thereto. A process for fabricating a thin film transistor using the same is also disclosed.

[SELECTED FIGURE] Fig.3